

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-281428

(43)Date of publication of application : 07.12.1987

(51)Int.Cl.

H01L 21/302

H01L 21/30

(21)Application number : 61-123391

(71)Applicant : HITACHI MICRO COMPUT ENG LTD
HITACHI LTD

(22)Date of filing : 30.05.1986

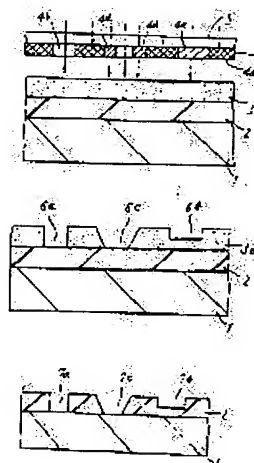
(72)Inventor : MATSUZAKI SAKAE
ONO RYOICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make possible a control of depth and inside form of etch-pits without increasing additional processes by forming a photoresist pattern comprising patterns of pits or grooves which are partially different in depth, thereby using a mask having patterns where transmittance of lights is controlled and also by etching the surface of bed film or substrate through the photoresist pattern.

CONSTITUTION: A photoresist pattern 3a having partially different pits or grooves 6aW6c in depth is formed by using a mask for forming patterns comprising light and shade patterns 4 which are located at a portion of transparent substrate 5 and are able to control light transmittance and the pattern having partially different pits or grooves in depth is replicated on the surface of bed film 2 or substrate 1 by etching the surface of bed film 2 or substrate 1 through the photoresist pattern 3a. For example, a thick insulated film 2 comprising polyimide resin is formed on the substrate 1 and a photoresist film 3 is prepared on the above film 2. The photoresist film 3 is exposed through a mask where the patterns 4 comprising Cr are formed at lower face of a transparent glass plate 5 and after that, it is developed. the etching for the polyimide resin film 2 of bed film is carried out through the photoresist pattern 3a according to a dry etching process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-281428

⑤ Int.Cl.⁴

H 01 L 21/302
21/30
21/302

識別記号

庁内整理番号

M-8223-5F

7376-5F

H-8223-5F

④ 公開 昭和62年(1987)12月7日

審査請求 未請求 発明の数 3 (全8頁)

⑬ 発明の名称 半導体装置の製造方法

⑭ 特 願 昭61-123391

⑮ 出 願 昭61(1986)5月30日

⑯ 発 明 者 松 崎 栄 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑰ 発 明 者 小 野 良 一 高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社
小平市上水本町1479番地

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 透明基板面の一部に光透過率を制御しうる明暗パターンを有するパターン形成用マスクを使用して部分的に深さの異なる穴乃至溝を有するホトレジストパターンを形成し、このレジストパターンを通して下地膜乃至基板の表面をエッチングすることにより部分的に深さの異なる穴乃至溝を有するパターンを下地膜乃至基板表面に転写することを特徴とする半導体装置の製造方法。

2. 上記エッチングはドライエッチングにより行う特許請求の範囲第1項に記載の半導体装置の製造方法。

3. 透明基板面の一部に光透過率を制御しうる明暗パターンを有するパターン形成用マスクを使用して部分的に深さの異なる穴乃至溝を有するレジストパターンを形成し、このレジストパ

ターンを通して下地半導体基板の表面に上記パターンに対応し部分的に異なる深さに不純物導入層を形成することを特徴とする半導体装置の製造方法。

4. 透明基板面の一部に光透過率を制御しうる明暗パターンを有するパターン形成用のマスクを使用して部分的に深さの異なる穴乃至溝を有するレジストパターンを形成し、このレジストパターンを通して下地膜の表面をエッチし、上記パターンに対応する部分的に深さの異なる穴乃至溝を有するパターンを下地膜に転写し、しかるのち、上記パターンの形成された下地膜をマスクにしてこの下地膜が形成された半導体基板の表面に、上記パターンに対応し部分的に異なる深さに不純物導入層を形成することを特徴とする半導体製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は写真処理技術を利用して下地膜(基板)にパターン転写するリソグラフィー技術に関し、

特に半導体装置プロセスにおけるレジストパターン形成用のマスクと、これを用いて部分的に深さの異なるエッチングを行うパターン形成方法に関する。

〔従来技術〕

半導体装置を製造するためのリソグラフィ技術においては、半導体やその酸化膜などの下地材料を部分的にエッチングするためのホットレジストパターンは明暗コントラストを高めることで微細化を実現している。(日経マグロウヒル社1985年8月NIKKEI MICRODEVICES p61~70)

本発明者において、検討、実施され、一般には必しも公知ではない光リソグラフィ技術の例を掲げると次のとおりである。

- (1) レチクル(マスク)として、第15図に示すように透明ガラス板5にCr等の金属膜パターン4を形成したものを通して下地材2上に塗布されたレジスト3に光を部分的に露光する。
- (2) 上記マスクパターンは単なる明暗パターン4a、4bとして形成されたものであるから、現像され

穴のエッジ部でのカバレッジ(ステップカバレッジ)がわるく、配線不良等をひき起こすことになった。

このようなカバレッジ不良を防ぐためエッチされた穴にテーパを設けたり、あるいは部分的に厚さの異なる下地膜に透孔をあけようとする場合、エッチ深さの制御が1回のみのエッチでは困難であり、制御が適正でないことによってオーバーエッチを生じ、そのために下地にダメージを与えることなど問題が多かった。

本発明は上記した問題を克服するべくなされたものであり、その一つの目的は工程を増やすことなくエッチ穴の深さや内側面の形状を制御できるマスクエッチ法を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は本明細書の記述および添付図面からあきらかになる。

〔問題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、透明板の一部に光の透過率を制御し

たホットレジストは明暗に対応した窓6をもつにすぎないホットレジストパターン(3a)として形成される(第16図)。

- (3) このホットレジストパターン3aを使用して下地材2をエッチングする。このエッチングは、たとえばリアクティブ・イオン・エッチングRIEのごときドライエッチ技術を採用し、下地材に上記パターンの穴をあけることになる(第17図)。
- 〔発明が解決しようとする問題〕

上記のようなマスクパターンを使用し、下地材にエッチングして得られた穴や溝は、第17図に示されるようにマスクパターン乃至レジストパターンに対応した寸法・形状と同じエッチ深さを有する。

現在、微細加工のために採用されているプラズマを利用したドライエッチング技術によればその多くは異方性エッチングであってエネルギーを持ったイオン流を利用するため、エッチングされた穴の端面(内側面)は主面に対し直角となり、その上に配線のための金属等の膜を形成する場合に

うるパターンを有するパターン形成用マスクを使用して部分的に深さの異なる穴乃至溝のパターンを有するレジストパターンを形成し、このレジストパターンを通して下地膜乃至基板の表面をエッチすることにより、上記部分的に深さの異なる穴乃至溝を有するパターンを上記下地膜乃至基板表面に転写するものである。

〔作用〕

上記した手段によれば一回のエッチング工程で下地膜乃至基板表面にエッチ穴の深さや内側面の形状を制御することができ、前記発明の目的を達成できる。

〔実施例1〕

第1図乃至第3図は本発明の一実施例を示すものであって、レジストマスクを使用して絶縁下地膜に穴あけを行うプロセスの工程断面図である。以下工程順に説明する。

- (1) 第1図に示すように基板1上にたとえばポリイミド系有機樹脂等からなる厚い絶縁膜2を形成し、この上にレジスト膜(ポジ型ホットレジスト)

3を形成したものを用意し、パターン形成用マスク4を通してホトレジスト3に部分的に露光する。このマスク4は透明ガラス板5の一方の主面(下面)にCrなどの金属からなるパターン4を形成したものであり、このパターンは光を全く通さない暗部4a、光を100%通す明部4b、光を50%しか通さない中間部4c等からなる。中間部の一部は暗部から明部に傾斜的(又は階段的)に変化する傾斜的中間部4dである。同図の矢印は露光のための光(たとえば紫外線、X線)を示す。

(2) ホトレジストを露光後、現像すると、第2図に示すように、光の通過する量に応じて深い穴(透孔)6a、浅い穴6b及び内側面が傾斜した穴6cを有するホトレジストパターン3aを任意に形成できる。

(3) 上記ホトレジストパターン3aを通して下地膜であるポリイミド樹脂膜2のエッチングを行う。この場合、エッチングは酸素ガス O_2 をエッチャントとするドライエッチにより行くと、第3図に示すように下地膜2にホトレジストパターンの深さ

図である。

(1) 第4図において、1は半導体(Si)基板、8は表面酸化膜(SiO_2)、9は第1層A ϕ 配線、2はその上を覆う層間膜、たとえばポリイミド系樹脂である。

3(a)はホトレジストであって、その一部には実施例1で述べた手段によりテーパ側面を有する深い穴6cと浅い穴6bのごときパターンが形成されている。

(2) 上記ホトレジストパターン3aを通して層間膜2をスルーホールのためのドライエッチングすることにより第5図に示すようにホトレジストパターン3aをそのまま転写した深いテーパ側面を有する穴7cと浅い穴7bが形成される。

(3) 第6図に示すように、全面にA ϕ を蒸着(スパッタ)し、パターンニングを行って第2層A ϕ 配線10a、10bを形成する。このうち、第2層A ϕ 配線の一部10bは層間膜の穴7bを通じて第1層A ϕ 配線に接続される。

A ϕ 配線を埋めこんだ層間膜をエッチする場合

を含めた形状、寸法をそのまま転写した深い穴(透孔)7a、浅い穴7b、及び内側面が傾斜した穴7cが形成される。

上記実施例によれば1回のホトレジストエッチング工程によって従来、複数回のホトレジストエッチング工程を経なければできなかった深さの異なる穴を形成することができ、又、テーパ側面をもつ穴の形成も可能となる。尚上記では下地膜2をポリイミド系樹脂膜としたがシリコン酸化膜 SiO_2 やシリコン窒化膜 Si_3N_4 等の無機膜でも良い。この時はエッチャントをレジストをエッチングできる O_2 ガスと上記無機膜をエッチングできる CHF_3 、 CF_4 ガスなどとを混合しレジストと被加工材料2とのエッチング比をその混合比でコントロールして行なうことができる。

〔実施例2〕

第4図乃至第6図は本発明の他の一実施例を示すものであって、たとえば、リニアICにおいて2層配線を形成する際に、層間膜にホトレジストによる穴をあける場合に適用した一部工程断面

にA ϕ 配線のあるところとないところでは、層間膜の厚さが異なり、そのままドライエッチを行って層間膜の厚い部分をつきぬけるスルーホールをあけた場合、層間膜の薄いA ϕ 配線表面部分はプラズマにさらされることによりダメージを大きく受ける。しかし、本実施例ではホトレジストパターンに深さの異なるものを使用し、スルーホールの深さを制御することによって、部分的オーバーエッチをなくし、A ϕ 配線表面のダメージを防ぐことができる。

又、深い穴においてはテーパ側面を形成することができるから、その上に第2層A ϕ 配線を形成した場合にもステップカバレージのわるさをカバーできる。

〔実施例3〕

第7図乃至第9図は一つの基板にリニア部とIIL部を共有させる場合に本発明を適用した場合の実施例であって、プロセス要部の工程断面図である。

(1) 第7図において、11はSi基板(サブスト

レート)、12は n^+ 埋込層、13はエビタキシャル n^- Si層である。3a, 3bはホトレジストパターンで一方(3a)は厚く、一部(3b)はマスクパターンの中間部を通して薄く形成してある。

(2) 上記ホトレジストパターンを通してエビタキシャルSi層13をホトエッチすることにより、第8図に示すように深い穴(溝)部14と浅い穴部15が形成される。

(3) 第9図に示すように、エッチされないエビタキシャルSi層の厚い部分13aにはnpnトランジスタのためのベースp層16、エミッタ n^+ 層17を形成し、浅くエッチされた部分15のエビタキシャル層13bにはIILのためインジェクタp層18, ベースp層19等を形成する。深くエッチされた部分(14)の下のエビタキシャル層にはアイソレーションp層20, コレクタ取出し n^+ 層21等を形成する。

npnトランジスタは高耐圧を要求されるためにエビタキシャル層の厚い部分を必要とし、IIL

純物導入層22が形成され、浅い穴の部分ではホトレジストによって打込みエネルギーがいく分減殺され、基板表面から浅い不純物導入層23が形成される。

第11図においては、ホトレジストパターン3aに側面段部を有する穴6c, 傾斜底面をもつ穴6dをあけたパターンを使用する。このホトレジストパターンをマスクにして不純物イオン打込みを行うことにより、同図に示すように、上記パターンの深さの変化に対応した深さの異なる不純物導入層24, 25を形成することができる。

なお、図示されないが、第10図、第11図で示される不純物導入層はこのあと引伸拡散を行うことによりそれぞれのパターンに対応する深さをもつ不純物拡散層が得られる。

従来、半導体基板表面に深さの異なる不純物イオン打込み乃至拡散層を形成する場合、異なる分だけ複数回のイオン打込みを必要としたが、本発明によれば1回のイオン打込みでそれを可能とし、工程を著しく削減することができた。

は増幅特性(β_i)を高めるためにはエビタキシャル層の薄い部分を必要とし、アイソレーション部やコレクタ取出し部は深いエッチを行う方が有利である。従来はこれらを別個のホトエッチングにより得ていたが、本発明では1回のホトエッチングで同時に深さの異なる穴や溝が形成でき、工程数を削減できる。

〔実施例4〕

第10図及び第11図は深さの異なる穴を有するホトレジストパターンを使用して深さの異なる不純物イオン打込みを行う部分の実施例を示す一工程断面図である。

第10図において、1は半導体基板、3aはホトレジストパターンである。このホトレジストパターン3aには実施例1で述べた手段により深い穴6bと浅い穴6bがつけられたパターンである。このホトレジストパターン3aをマスクにして不純物イオン打込みを行う。同図に示すようにホトレジストの厚い部分では不純物は通過されず、パターンの深い穴の部分では基板の表面から深く不

又、深さに傾斜を有する拡散層の形成は従来ほとんど不可能であったが、本発明はこれを可能とするものである。

なお、上記実施例の変形例としては、部分的に深さの異なるパターンを有するホトレジストパターンをいったん形成したのち、このホトレジストパターンを通して下地膜の表面をエッチし、上記パターンに対応する部分的に深さの異なる穴等を有するパターンを下地膜に転写し、しかるのち、このパターンの形成された下地膜をマスクにしてこの下地膜が形成されている半導体基板の表面に上記パターンに対応し、部分的に異なる深さの不純物イオン打込み乃至拡散層を形成することができる。

〔実施例5〕

第12図乃至第14図はMOSトランジスタにおいて深さの異なる不純物拡散層(ソース・ドレイン)を形成するプロセスに本発明を適用した場合の例の工程断面図である。

(1) 第1図において、26は p^- 型Si半導体基

板、27はうすいゲート絶縁膜(SiO_2)、28はポリSiからなるゲートである。29は、やや厚い絶縁膜(SiO_2)でゲート表面及び基板表面にかけて形成される。30はホトレジストパターンであって、実施例1で述べたような手段により、一部に深い穴(透孔)31を、他部に浅い穴32をあけたパターンとして形成されている。

(2) 上記ホトレジストパターンをマスクに絶縁膜29をエッチすることにより、第13図に示すように、一部では深い穴33が形成されて基板26が露出し、他の一部では浅い穴34となって薄い絶縁膜35の状態に残り、ホトレジストの厚い部分では厚い絶縁膜29として残る。

このような絶縁膜をマスクにして不純物(たとえばドナ)イオン打込みを行い、深い穴の部分では深い不純物導入層36が形成され、浅い穴の部分では絶縁膜35を通すことによって浅い不純物導入層37が形成される。

(3) このあと引伸し拡散を行うことにより、不純物が拡散されて第14図に示すようにリース・ド

レインとなる深い n^+ 拡散層38、及びオフセットゲート部となる浅い拡散層39が形成される。40はソース・ドレインにオーミックコンタクトするA ϕ 電極である。

従来より高耐圧MOSトランジスタにおいてはオフセットゲートのために浅い拡散層を形成する必要があり、従来はコンタクト部の他に別のイオン打込工程を必要としたが、本発明によりこれが一回のイオン打込み工程ですむことになった。

〔効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、深さの異なるエッチング、拡散層形成を1回の工程で行うことができ、工程数の削減、プロセスの簡素化ができ、又、スルーホール抵抗の低減、スルーホール下の配線のダメージを低減し、素子の微細化に有効である。

4. 図面の簡単な説明

第1図乃至第3図は本発明の一実施例を示し、

された穴、9…第1層A ϕ 配線、22～25…不純物導入部。

絶縁膜に穴あけを行うプロセスの工程断面図である。

第4図乃至第6図は本発明の他の一実施例を示し、2層配線を形成する際の層間膜穴あけを含むプロセスの工程断面図である。

第7図乃至第9図は本発明の他の一実施例を示しリニア・IIL共存プロセスの工程断面図である。

第10図及び第11図は本発明の他の実施例を示し、深さの異なるイオン打込みを同時に行うプロセスの工程断面図である。

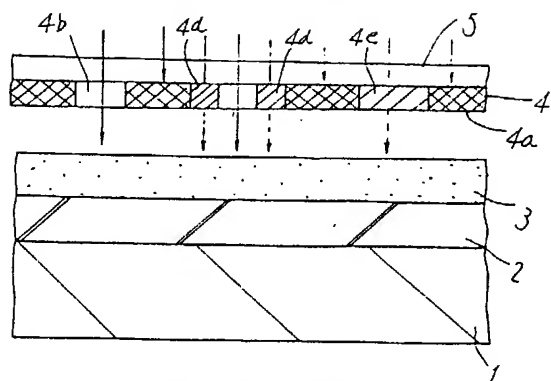
第12図乃至第14図は本発明の他の一実施例を示し、MOSトランジスタプロセスの工程断面図である。

第15図乃至第17図は絶縁膜に穴あけを行う場合の従来プロセスの一例を示す工程断面図である。

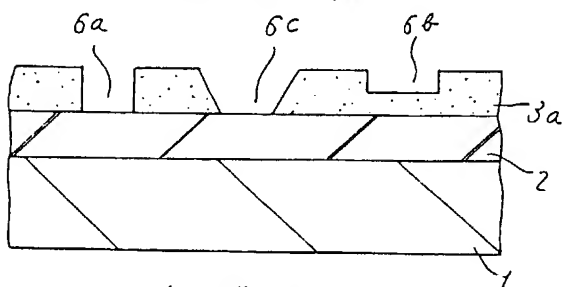
1…基板、2…下地絶縁膜、3…ホトレジスト、4…マスクパターン、5…透明ガラス、6…ホトレジストにエッチされた穴、7…下地膜にエッチ

代理人 弁理士 小川 勝男

第 1 図

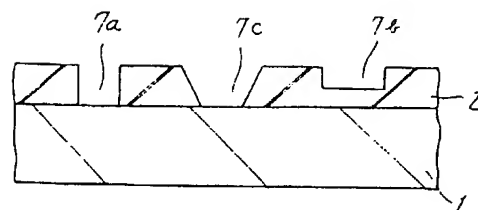


第 2 図

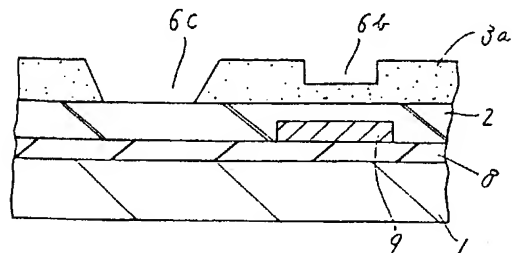


- 1—基板
- 2—下地膜
- 3—ホトレジスト
- 4—マスクパターン
- 5—ガラス

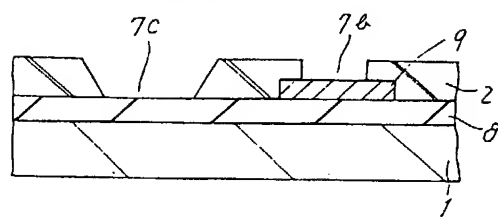
第 3 図



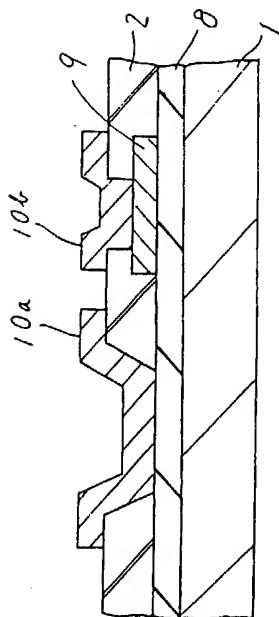
第 4 図



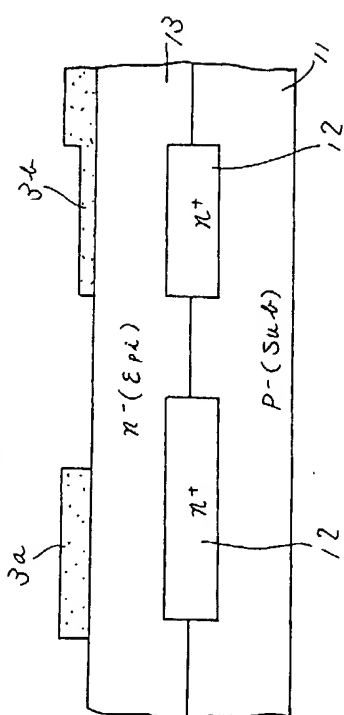
第 5 図



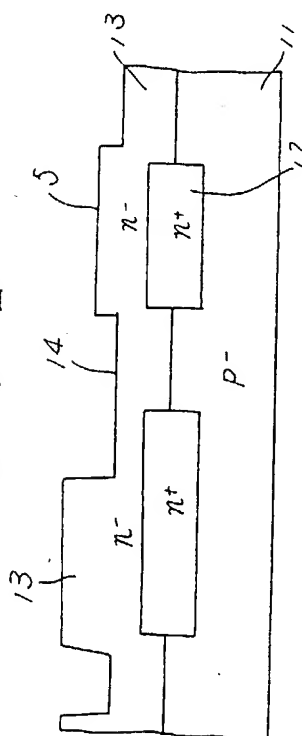
第 6 図



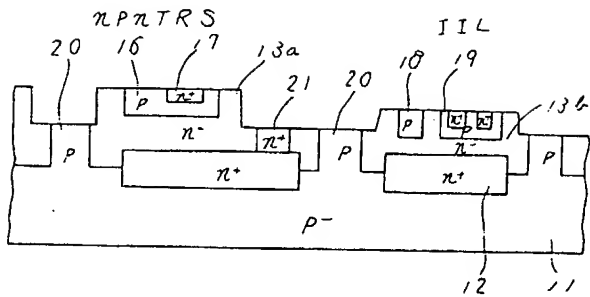
第 7 図



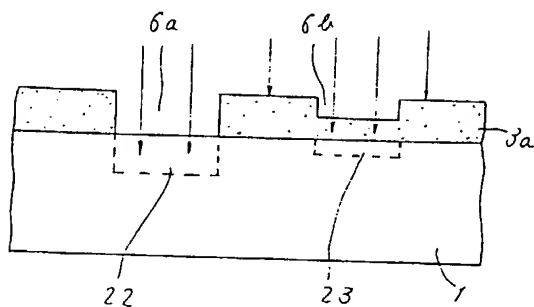
第 8 図



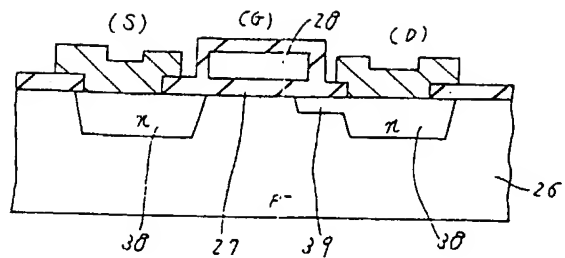
第 9 図



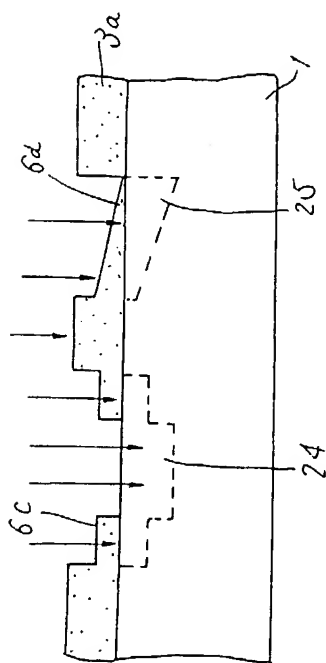
第 10 図



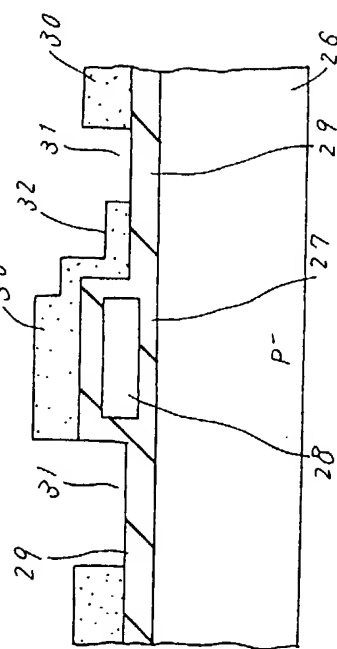
第 14 図



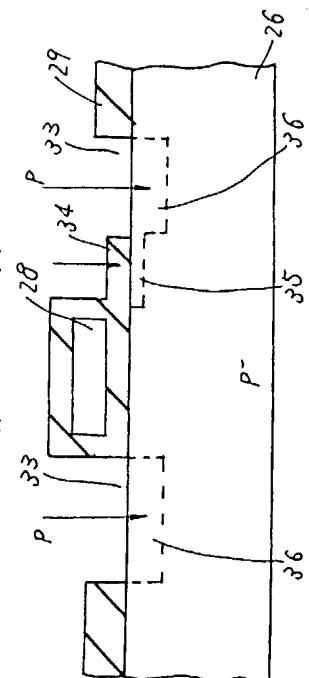
第 11 図



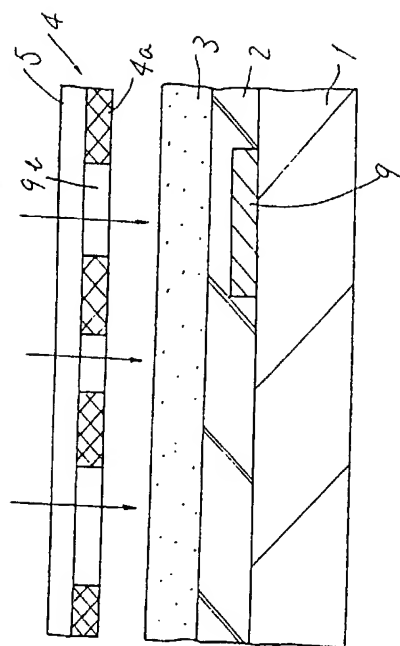
第 12 図



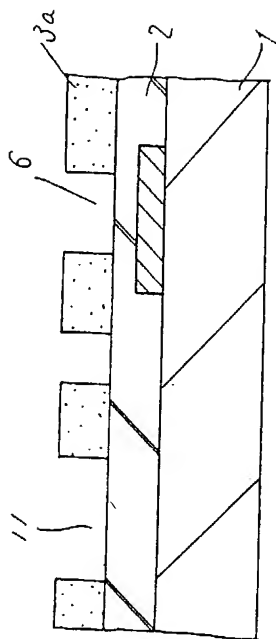
第 13 図



第 1 5 図



第 1 6 図



第 1 7 図

